

[Date of requesting appeal against examiner's decision of rejection]

(11)特許出願公開番号

特開平5-28752

(43)公開日 平成5年(1993)2月5日

(51) Int.Cl.⁵

識別記号

厅内整理番号

FI

技術表示箇所

G 1 1 C 11/401

11/413

11/417

8320-5L

G 1 1 C 11/ 34

362 F

J

審査請求 未請求 請求項の数 1 (全 5 頁) 最終頁に続く

(21)出願番号 特願平3-204912

(22)出願日 平成3年(1991)7月19日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72)発明者 永井 昌伸

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

(72)発明者 松本 昭一郎

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

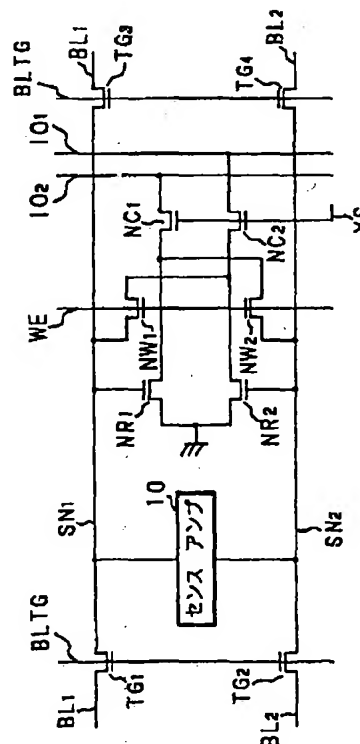
(74)代理人 弁理士 河野 登夫

(54)【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 データ読出しに際してのセンスアンプによる増幅の過渡時に、プリチャージされた入出力線の電荷がセンスノードに逆流入することにより生じるセンスアンプの誤動作でデータが誤読出しされるのを防止する。

【構成】 入出力線 IO_1 、 IO_2 をカラム選択用NチャネルMOSトランジスタ NC_1 、 NC_2 、ゲートがビット線 B_{L_1} 、 B_{L_2} に接続された読出し用Nチャネル型MOSトランジスタ NR_2 、 NR_1 を介在させて接地すると共に、カラム選択用NチャネルMOSトランジスタ NC_1 、 NC_2 、ゲートが書き込み開始信号線 WE に接続された書き込み用NチャネルMOSトランジスタ NW_1 、 NW_2 を介在させてビット線 B_{L_1} 、 B_{L_2} に接続する。



【特許請求の範囲】

【請求項1】 メモリセルに接続されたビット線とデータの入出力線との間にトランジスタを介在させ、前記トランジスタに対する制御でデータの読出し、書込みを行うようにした半導体記憶装置において、前記トランジスタは、ゲートがビット線に接続され、ドレインが前記入出力線に接続された読出し用MOS トランジスタと、ゲートが書込み開始信号線に接続された書込み用MOS トランジスタとからなり、これら読出し用MOS トランジスタ、書込み用MOS トランジスタ夫々を含む回路を活性化する回路を具備することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は入出力線を通じてデータの読出し、書込みが可能なDRAM等の半導体記憶装置に関する。

【0002】

【従来の技術】 図2は従来のスタティックカラム動作モードのDRAMにおけるビット線対と入出力線対との接続関係を示す回路図であり、図中 BL_1 、 BL_2 はビット線対をなすビット線、 IO_1 、 IO_2 は入出力線対をなすデータ入出力線、BLTGはビット線トランスファゲートコントロール信号線を示している。各ビット線 BL_1 、 BL_2 はその一端部が図示しないメモリセルアレイ中のメモリセルに接続されており、また夫々途中にゲートをビット線トランスファゲートコントロール信号線BLTGに接続したNチャネルMOS トランジスタ TG_1 、 TG_2 、 TG_3 、 TG_4 が介装せしめられている。

【0003】 また両ビット線 BL_1 、 BL_2 には前記トランジスタ TG_1 、 TG_3 間、 TG_2 、 TG_4 間においてセンスアンプ10が接続されると共に、このセンスアンプ10による増幅が行われるノード、所謂センスノード SN_1 、 SN_2 は夫々カラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 を介在させて入出力線 IO_1 、 IO_2 に接続されている。カラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 はそのゲートがカラム選択信号線YSに接続され、ソース又はドレインの一方がセンスノード SN_1 、 SN_2 に、他方が入出力線 IO_1 、 IO_2 に接続されている。

【0004】 次にこのような半導体記憶装置の動作を説明する。先ずデータの読出し動作においては入出力線 IO_1 、 IO_2 をプリチャージする一方、ビット線トランスファゲートコントロール信号線BLTGにハイレベルの信号「H」を与えて選択されたビット線 BL_1 、 BL_2 を導通状態とする。これによって図示しないメモリセルからの微弱なデータはセンスノード SN_1 、 SN_2 に導かれ、センスアンプ10にて増幅される。

【0005】 センスアンプ10による増幅は、例えばセンスノード SN_1 のデータ信号をハイレベル「H」側に増幅するときにはセンスノード SN_2 のデータ信号はこれと対応

するローレベル「L」側に増幅するようになっている。カラム選択信号線YSにハイレベル「H」の信号を入力し、両カラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 をオン状態とする。これによってセンスノード SN_1 は入出力線 IO_1 と、またセンスノード SN_2 は入出力線 IO_2 と夫々接続されることとなり、データの読み出しが行われる。データの書込み動作はカラム選択信号線YSにハイレベル「H」の信号を与え、各カラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 をオン状態とする。これによって各入出力線 IO_1 、 IO_2 をビット線 BL_1 、 BL_2 に接続し、入出力線 IO_1 、 IO_2 、ビット線 BL_1 、 BL_2 を通じてメモリセルにデータが書き込まれる。

【0006】 ところでこのような従来装置にあっては、データの読出し時には入出力線 IO_1 、 IO_2 はいずれもプリチャージされており、カラム選択信号線YSにハイレベル「H」の信号を与えてカラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 をオン状態とすると入出力線 IO_1 、 IO_2 のハイレベル「H」の電荷がセンスノード SN_1 、 SN_2 に逆流する。

【0007】 センスノード SN_1 、 SN_2 のデータがセンスアンプ10にて十分大きい電位差に迄増幅されている場合にはデータが破壊されることは少ないが、増幅途中においてはセンスアンプ10の動作が不安定となり、データが破壊されることが生じる。このためカラム選択信号線YSにハイレベル「H」の信号を設定するのはセンスアンプ10によるデータ信号の増幅が十分行われたタイミングで行われねばならずそのための待ち時間が必要となり、迅速な読み出しが出来ないという難点があった。

【0008】 図3は従来における他の半導体記憶装置におけるビット線と読出し用データ線、書込み用データ線との接続関係を示す回路図である。この半導体記憶装置においては入出力線に代わって一对の読出しデータ線 RD_1 、 RD_2 、書込みデータ線 WD_1 、 WD_2 及び書込み開始信号線WEを備えており、これらとビット線 BL_1 、 BL_2 との間に読出し用NチャネルMOS トランジスタ NR_1 、 NR_2 、カラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 、 NC_3 及び書込用NチャネルMOS トランジスタ NW_1 、 NW_2 が介在せしめられている。

【0009】 読出し用NチャネルMOS トランジスタ NR_1 、 NR_2 は夫々そのゲートをセンスノード SN_1 、 SN_2 に、またドレインを読出しデータ線 RD_1 、 RD_2 に、ソースをカラム選択用NチャネルMOS トランジスタ NC_1 を介して接地してある。カラム選択用NチャネルMOS トランジスタ NC_1 はゲートをカラム選択信号線YSに、またソースを接地せしめてある。カラム選択用NチャネルMOS トランジスタ NC_2 、 NC_3 はそのゲートをカラム選択信号線YSに、またソース又はドレインの一方をデータ線 WD_1 、 WD_2 に、他方を各書込み用NチャネルMOS トランジスタ NW_1 、 NW_2 に接続されている。

【0010】 書込み用NチャネルMOS トランジスタN

W_1 , NW_2 は夫々そのゲートを書込み開始信号線WEに、またソース、ドレインの一方を前記カラム選択用NチャネルMOSトランジスタ NC_2 , NC_3 に、他方をセンスノード SN_1 , SN_2 に接続してある。他の構成は図2に示す従来装置と同じであり、対応する部位には同じ符号を付してある。

【0011】次にこのような半導体記憶装置の動作について説明する。データの読み出し動作は読出しデータ線 RD_1 , RD_2 をプリチャージしてハイレベル「H」に設定し、またビット線トランスファゲートコントロール信号線BLTGをハイレベル「H」としてビット線 BL_1 , BL_2 を導通状態とする。所定のメモリセルからのデータはセンスノード SN_1 , SN_2 に導出されてセンスアンプ10にて増幅される。カラム選択信号線YSをハイレベル「H」に設定してカラム選択用NチャネルMOSトランジスタ NC_1 をオン状態にしておくと、データ信号がセンスアンプ10にて閾値を越えるレベルに増幅された時点で、読出し用NチャネルMOSトランジスタ NR_1 , NR_2 がオン状態となり、プリチャージされた読出しデータ線 RD_1 , RD_2 の電荷が放電され、データが読み出される。

【0012】なおデータの書込みはカラム選択信号線YS及び書込み開始信号線WEを夫々ハイレベル「H」に設定すると、カラム選択用NチャネルMOSトランジスタ NC_2 , NC_3 及び書込み用NチャネルMOSトランジスタ NW_1 , NW_2 がいずれもオン状態となり、書込みデータ線 WD_1 , WD_2 はビット線 BL_1 , BL_2 に接続され、所定のメモリセルにデータが書込まれることとなる。

【0013】

【発明が解決しようとする課題】ところで図3に示す如き従来の半導体記憶装置にあっては、図2に示す従来装置の如く、読出しデータ線 RD_1 , RD_2 とビット線 BL_1 , BL_2 とが直接接続されることがないため、読出し時のデータ破壊が生じず、カラム選択信号の入力タイミングを早く設定することが可能で読出し動作の高速化が図れる反面、読出しと、書込みが夫々別個の読出しデータ線 RD_1 , RD_2 、書込みデータ線 WD_1 , WD_2 によって行われ、しかも書込み開始信号線WEも必要となるため、必要な路線長が長くなり、MOSトランジスタ等の素子数も多くパターン面積が増大する等の問題があった。本発明はかかる事情に鑑みなされたものであって、その目的とするところはデータ読出し時のデータの破壊がなく、配線長が短くて済み、しかもトランジスタ等の素子数の増大を伴わない半導体記憶装置を提供するにある。

【0014】

【課題を解決するための手段】本発明に係る半導体記憶装置は、メモリセルに接続されたビット線とデータの入出力線との間にトランジスタを介在させ、前記トランジスタに対する制御でデータの読出し、書込みを行うようにした半導体記憶装置において、前記トランジスタは、ゲートがビット線に接続され、ドレインが前記入出力線

に接続された読出し用MOSトランジスタと、ゲートが書込み開始信号線に接続された書込み用MOSトランジスタとからなり、これら読出し用MOSトランジスタ、書込み用MOSトランジスタ夫々を含む回路を活性化する回路を具備することを特徴とする。

【0015】

【作用】本発明にあっては、これによってデータの読出し時に入出力線とビット線とが直接接続されることがなく、従って入出力線のプリチャージ電荷がビット線に逆流することもない。

【0016】

【実施例】以下本発明をその実施例を示す図面に基づき具体的に説明する。図1は本発明に係る半導体記憶装置のビット線と入出力線との間の接続関係を示す回路図であり、図中 BL_1 , BL_2 はビット線、 IO_1 , IO_2 は入出力線、BLTGはビット線トランスファゲートコントロール信号線を示している。

【0017】各ビット線 BL_1 , BL_2 の一端部は図示しないメモリセルに接続され、また途中にはゲートをビット線トランスファゲートコントロール信号線BLTGに接続したNチャネルMOSトランジスタ $TG_1 \sim TG_4$ が介装され、ビット線トランスファゲートコントロール信号線BLTGをハイレベル「H」に設定することにより、選択されたビット線 BL_1 , BL_2 が導通状態となりメモリセルアレイのデータ信号がビット線 BL_1 , BL_2 に導通されるようになっている。

【0018】各ビット線 BL_1 , BL_2 には前記NチャネルMOSトランジスタ TG_1 , TG_3 , TG_2 , TG_4 の中間において、センスアンプ10が接続されている。センスアンプ10は例えばセンスノード SN_1 のデータ信号をハイレベル側に、同時にセンスノード SN_2 のデータ信号をこれと対応してローレベル側に増幅するようになっている。

【0019】ビット線 BL_1 , BL_2 とデータの入出力線 IO_1 , IO_2 との間にはカラム選択用NチャネルMOSトランジスタ NC_1 , NC_2 及び読出し用NチャネルMOSトランジスタ NR_1 , NR_2 を、またカラム選択用NチャネルMOSトランジスタ NC_1 , NC_2 、書込み用NチャネルMOSトランジスタ NW_2 , NW_1 を夫々介在させてある。

【0020】カラム選択用NチャネルMOSトランジスタ NC_1 , NC_2 は夫々そのゲートをカラム選択信号線YSに接続され、ソース又はドレインの一方は入出力線 IO_1 , IO_2 に、他方は読出し用NチャネルMOSトランジスタ NR_1 , NR_2 、並びに書込み用NチャネルMOSトランジスタ NW_2 , NW_1 に夫々並列的に接続されている。

【0021】読出し用NチャネルMOSトランジスタ NR_1 , NR_2 は、夫々そのゲートをビット線 BL_1 , BL_2 におけるセンスノード SN_1 , SN_2 に接続され、またソースは共に接地されている。一方、書込み用NチャネルMOSトランジスタ NW_1 , NW_2 は夫々そのゲートを書込み開始信号線WEに、またソース、ドレインのうちの一方をビッ

【0022】次にこのような半導体記憶装置の動作を説明する。読出し又は書込みに際しては先ずビット線トランスファゲートコントロール信号線BLTGをハイレベル

【0023】読出し動作は、先ず入出力線 IO_1 、 IO_2 を夫々ブリチャージし、ビット線 BL_1 、 BL_2 を通じて選択されたメモリセルのデータを各ビット線 BL_1 、 BL_2 におけるセンスノード SN_1 、 SN_2 に導出する。これによってゲートがセンスノード SN_1 、 SN_2 に接続されている読出し用NチャネルMOSトランジスタ NR_1 、 NR_2 がオン状態となる。データがセンスアンプ10にて増幅され、例えばセンスノード SN_1 のデータがハイレベル「H」側に増幅されたものとする。読出し用NチャネルMOSトランジスタ NR_1 はオン状態のままであるが、読出し用NチャネルMOSトランジスタ NR_2 はオフ状態となる。所定のタイミングでカラム選択信号線YSをハイレベル「H」に設定し、カラム選択用NチャネルMOSトランジスタ NC_1 、 NC_2 をオン状態とすると入出力線 IO_2 がカラム選択用NチャネルMOSトランジスタ NC_1 、読出し用NチャネルMOSトランジスタ NR_1 を介在させて接地され、データの読出しが行われる。

【0024】プリチャージされている入出力線 IO_1 又は IO_2 は直接ビット線 BL_1 , BL_2 のセンスノード SN_1 又は SN_2 のいずれとも接続せず、入出力線 IO_1 , IO_2 のハイレベル「H」の電荷がセンスノード SN_1 , SN_2 に逆流し、データが破壊されることがない。しかもデータの読み出し時におけるカラム選択信号線 YS をハイレベル

「H」に設定するタイミングは、センスノード SN_1 、 SN_2 のデータがセンスアンプ10にて増幅され、読出し用NチャネルMOSトランジスタ NR_1 又は NR_2 のいずれか一方がオフ状態になった後に行えばよいから、図2に示す従来装置の場合よりも高速化が図れることとなる。

【0025】一方、データの書込み動作はカラム選択信号線YS及び書込み開始信号線WEを夫々所定のタイミングでハイレベル「H」に設定する。これによって、カラム選択用NチャネルMOS トランジスタ NC_1 、 NC_2 、書込み用NチャネルMOS トランジスタ NW_1 、 NW_2 がいずれもオン状態となり、入出力線 IO_1 はカラム選択用NチャネルMOS トランジスタ NC_2 、書込み用NチャネルMOS トランジスタ NW_1 を介在させてセンスノード SN_1 に、また入出力線 IO_2 はカラム選択用NチャネルMOS トランジスタ NC_1 、書込み用NチャネルMOS トランジスタ NW_2 を介在させてセンスノード SN_2 に夫々接続され、書込みが行われることとなる。

【発明の効果】以上の如く本発明装置にあっては読出し用MOS トランジスタは夫々ゲートをビット線に、ドレインを入出力線に接続して設けてあるから、データが増幅されて読出し用MOS トランジスタがオン状態になっても、入出力線は直接ビット線と接続されることがないから、データの破壊が生じず、しかも素子数の増大も少なくて済み、読出し動作の高速化が図れる等、本発明は優れた効果を奏するものである。

【図１】本発明に係る半導体記憶装置におけるビット線、入出力線相互の接続関係を示す回路図である。

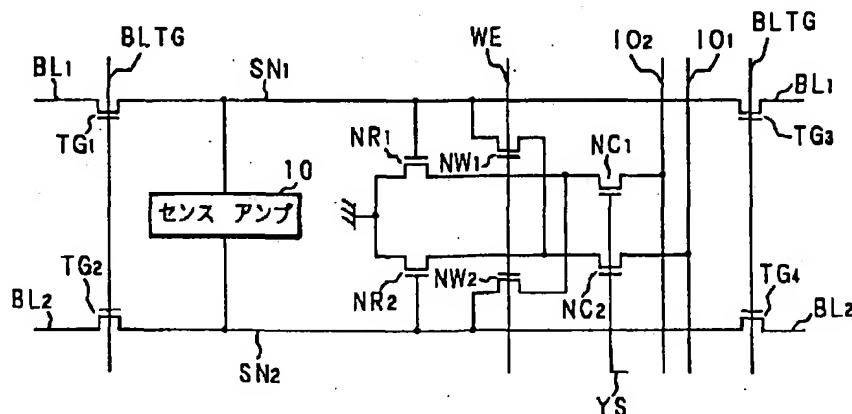
【図 2】従来装置におけるビット線と入出力線との接続関係を示す回路図である。

【図3】他の従来装置におけるビット線と読出しデータ線、書込みデータ線との接続関係を示す回路図である。

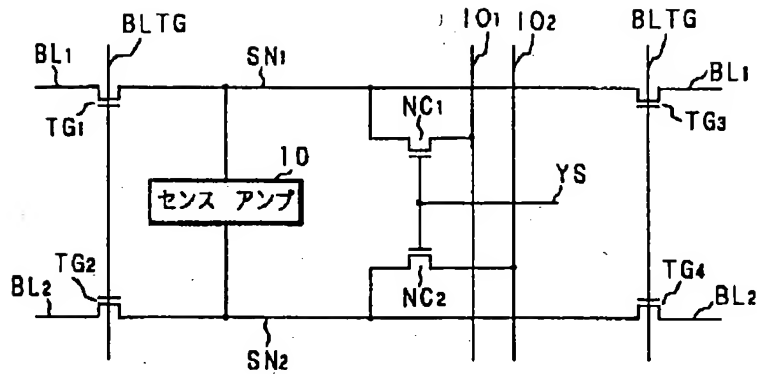
【符号の説明】

IO	センスアンプ
BL ₁ , BL ₂	ビット線
IO ₁ , IO ₂	入出力線
YS	カラム選択信号線
NC ₁ , NC ₂	カラム選択用NチャネルMOS トランジスタ
NR ₁ , NR ₂	読出し用NチャネルMOS トランジスタ
NW ₁ , NW ₂	書込み用NチャネルMOS トランジスタ

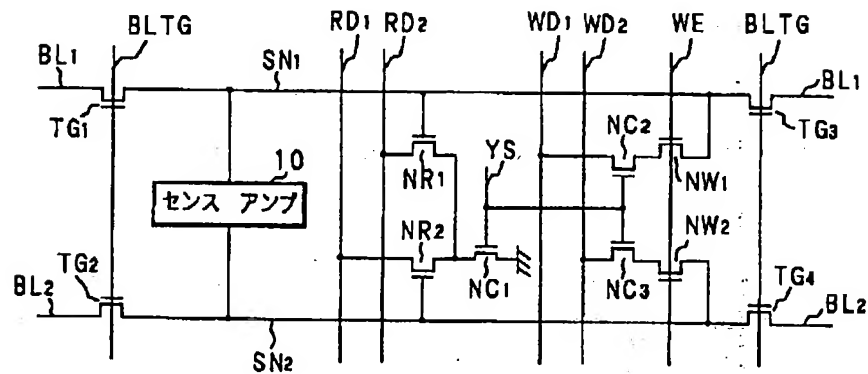
【图 1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

7323-5L

G 1 1 C 11/34

3 0 5